

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KIM, Eung Tae Conf.:  
Appl. No.: NEW Group:  
Filed: August 5, 2003 Examiner:  
For: VIDEO DECODING SYSTEM

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

August 5, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2002-0046830	August 8, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

BY   
Joseph A. Kolasch, #22,463

JAK/ka  
0465-1045P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)

KIM, Eung Tae  
Aug. 5, 2003  
BSKB, LLP  
703-205-8000  
465-1045P  
1 of 1

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

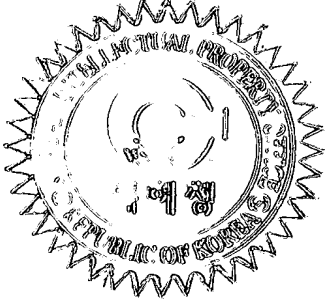
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0046830  
Application Number

출원년월일 : 2002년 08월 08일  
Date of Application AUG 08, 2002

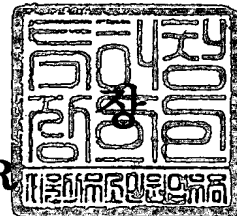
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 07 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.08
【국제특허분류】	H04N
【발명의 명칭】	비디오 디코딩 시스템
【발명의 영문명칭】	Video decoding system
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2002-027000-4
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2002-027001-1
【발명자】	
【성명의 국문표기】	김응태
【성명의 영문표기】	KIM, Eung Tae
【주민등록번호】	690315-1173221
【우편번호】	440-709
【주소】	경기도 수원시 장안구 조원동 한일타운 118-2004
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	11	면	11,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	9	항	397,000	원
---------	---	---	---------	---

【합계】	437,000	원		
------	---------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

MPEG-2 비디오 디코딩 시스템에 관한 것으로서, 특히 비디오 버퍼를 공유하여 버퍼 사이즈를 감소시키고, VLD부와 픽처 제어부, 그리고 MC부와 메모리 인터페이스부를 하나로 병합함으로써 많은 게이트 사이즈의 감소를 얻을 수 있으며, 이로 인해 코스트도 다운시킬 수 있으며, 더불어 2개 이상의 HD급 MPEG 시퀀스를 하나의 비디오 디코더를 이용하여 동시에 디코딩한 후 PIP 형태나 스플릿-스크린(split-screen) 형태로 디스플레이할 수 있다. 또한, 디스플레이 형태가 PIP인 경우 DTV main은 비압축모드로 동작시키고, DTV sub는 1/4 압축모드로 동작시키고, 디스플레이 형태가 스플릿-스크린인 경우 DTV main와 DTV sub를 각각 1/2 압축모드로 동작시킴으로써, 메모리 용량 및 밴드폭을 줄일 수 있다.

**【대표도】**

도 3

**【색인어】**

HD급, 듀얼 디스플레이, 비디오 디코딩

## 【명세서】

## 【발명의 명칭】

비디오 디코딩 시스템{Video decoding system}

## 【도면의 간단한 설명】

도 1은 일반적인 싱글 비디오 디스플레이를 위한 비디오 디코딩 시스템의 구성 블록도

도 2는 일반적인 듀얼 비디오 디스플레이를 위한 비디오 디코딩 시스템의 구성 블록도

도 3은 본 발명에 따른 비디오 디코딩 시스템의 구성 블록도

도 4는 도 3의 IDCT부에서 매크로 블록의 각 블록들을 파이프라인식으로 IDCT하는 예를 보인 도면

도 5는 본 발명에 따른 프레임 디코딩시 싱글 비디오 디스플레이를 위한 비디오 디코더와 VDP와의 인터페이스 타이밍도

도 6은 본 발명에 따른 프레임 디코딩시 듀얼 비디오 디스플레이를 위한 비디오 디코더와 VDP와의 인터페이스 타이밍도

도 7은 본 발명에 따른 필드 디코딩시 듀얼 비디오 디스플레이를 위한 비디오 디코더와 VDP와의 인터페이스 타이밍도

도 8a, 도 8b는 디스플레이 모드에 따른 압축 형태의 예를 보인 본 발명의 도면

도면의 주요부분에 대한 부호의 설명

101a, 101b : TP 디코더    300 : 비디오 디코더

301 : 제 1 버퍼    302 : VLD부

303, 304 : IQ부    305 : 제 2 버퍼

306,307 : IDCT부    308 : 가산기

309 : 움직임 보상부    310 : 픽처 제어부

500 : 메모리 인터페이스    501 : 다운 샘플링부

502 : 업 샘플링부    600 : 외부 메모리

700 : 비디오 디스플레이 처리부(VDP)

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18>        본 발명은 디지털 텔레비전 또는 디지털 화상회의 시스템 응용분야에 적용하는 MPEG-2 비디오 디코딩 시스템에 관한 것이다.
- <19>        일반적인 MPEG-2 비디오 디코딩 시스템은 도 1과 같이 TP(transport)-디코더(101), 비디오 디코더(102), 외부 메모리(600), 비디오 디스플레이 처리부(Video Display Processor ; VDP)(700), 및 호스트 인터페이스(미도시됨) 등으로 구성되어 있다. 상기 비디오 디코더(102)는 버퍼(102a), 가변 길이 디코딩(Variable Length Decoding ; VLD)부(102b), 역 양자화(Inverse Quantized ; IQ)부(102c), 역 이산 여현 변환(Inverse Discrete Cosine Transform ; IDCT)부(102d), 가산기(102e), 및 움직임 보상(Motion Compensation ; MC)부(102f)로 구성된다.
- <20>        즉, 전송되어온 MPEG-2 비디오와 오디오 그리고, 부가 데이터 비트 스트림은 다중화되어 있으므로, TP 디코더(101)에서 비디오와 오디오 그리고, 부가 데이터로 분리된다. 그리고, 분리된 비디오 비트스트림은 비디오 디코더(102)의 버퍼(102a)를 통해 VLD부(102b)로 출력된다.

- <21>      상기 VLD부(102b)는 비디오 비트스트림을 가변길이 디코딩하여 움직임 벡터, 양자화 값, DCT(Discrete Cosine Transform) 계수로 분리한 후 움직임 벡터(MV)는 움직임 보상부(102f)로 출력하고, 양자화 값 및 DCT 계수는 IQ부(102c)로 출력한다. 상기 IQ부(102c)는 상기 DCT 계수를 양자화 값에 따라 역 양자화하여 IDCT부(102d)로 출력하고, 상기 IDCT부(102d)는 MPEG-2 비디오 신택스에 맞게 8x8 블록 단위로 역 양자화된 DCT 계수를 IDCT하여 가산기(102e)로 출력한다.
- <22>      그리고, 움직임 보상부(102f)는 상기 움직임 벡터와 외부 메모리(600)에 저장된 이전 프레임들을 이용하여 현재의 픽셀값에 대한 움직임 보상을 수행한 후 가산기(102e)로 출력한다. 상기 가산기(102e)는 IDCT된 값과 움직임 보상된 값을 더하여 최종 픽셀값인 완전한 영상으로 복원한 후 메모리 인터페이스(Memory Interface)(500)를 통해 외부 메모리(600)에 저장한다. 즉, Intra-picture(I-픽처)의 경우는 IQ/IDCT한 결과가 바로 외부 메모리(600)에 저장되고, Predictive picture(P-픽처)나 Bi-directional picture(B-픽처)의 경우는 움직임 보상된 블록과 IDCT된 결과가 합쳐져서 메모리(600)에 저장되게 된다. 저장된 영상은 VDP(700)에서 디스플레이 포맷에 맞게 변환된 후 디스플레이 장치의 화면에 보여지게 된다.
- <23>      이때, 상기 외부 메모리(600)의 경우 입력 비트스트림과 움직임 보상을 위한 프레임 버퍼(frame-buffer)들을 저장하기 위해 DRAM(또는, SDRAM)을 사용한다.
- <24>      특히, 비디오 디코더(102)의 경우 상기 외부 메모리(600)는 주로 비디오 디코딩을 위한 비트 스트림의 쓰기와 읽기, 움직임 보상을 위하여 필요한 데이터의 읽기, 디코딩된 데이터의 쓰기 및 디스플레이될 데이터의 읽기에 이용될 수 있으며, 메모리 인터페이스를 통해 데이터를 주고받는다.



- <25> 이때, MPEG-2 표준 규격안에서 MP@HL 모드를 지원하기 위해서는 약 10Mbits의 버퍼 사이즈가 요구되고, 최대 허용 비트 레이트(bit rate)가 약 80Mbit/s에 이른다. 64bits의 버스 크기를 사용시 3프레임의 HD급 영상을 저장하기 위해서는 76.8Mbits의 외부 메모리를 필요로 한다. 그러므로 MPEG-2 디코더의 경우 비트-버퍼 사이즈를 포함해서 약 96~128Mbits의 외부 메모리를 필요로 한다.
- <26> 현재까지 나와 있는 디지털 TV(DTV)들은 주로 PIP(picture in picture)기능에 대한 다양한 기능들을 지원하고 있으나, 예를 들면, DTV + NTSC나 DTV + PC 외부 입력등의 형태로 제한되어져 있다. 최근에 하이-엔드(high-end) DTV에서는 두개의 튜너를 이용하여 DTV + DTV 형태의 디스플레이를 원하는 제품도 생기는 추세이다. 이를 위해서는 HD급의 MPEG-2 비디오 신호를 멀티 디코딩하여 동시에 디스플레이 할 수 있어야 한다.

**【발명이 이루고자 하는 기술적 과제】**

- <27> 그러나 기존의 제품의 경우, 2개의 HD급 비디오 신호를 디코딩하기 위해서는 2개의 MPEG-2 비디오 디코딩 칩을 사용하던지, 2개의 비디오 디코더부를 가진 고가의 칩을 사용하여야만 한다. 이런 경우 메모리의 증가 및 칩 코스트의 증가로 인한 가격 상승이 문제가 된다.
- <28> 도 2는 2개의 HD급 비디오를 디코딩하기 위한 종래의 비디오 디코더의 구조로서, MPEG-2 비디오 디코더 2개를 독립적으로 구성하고 각각의 비디오 디코더에 픽처 제어부를 구비하여, 2개의 HD급 비디오 신호를 동시에 디코딩하는 경우를 보이고 있다. 도 2의 경우 독립적으로 비디오 디코딩을 제어하기 쉬운 장점은 있으나, 칩의 게이트 사이즈의 증가와 이로 인한 가격 상승을 초래한다.

- <29> 결국 메모리의 한계성, 칩 사이즈, 및 데이터 버스의 밴드폭(bandwidth)을 고려하여 두 개의 HD급 비디오 신호를 디코딩 할 수 있는 효율적인 비디오 디코딩 칩 개발이 필요하다.
- <30> 본 발명은 하나의 비디오 디코딩 칩으로 두개의 HD급 MPEG-2 시퀀스(sequence)를 동시에 디코딩하여 다양한 영상 서비스를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <31> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 비디오 디코딩 시스템은, 특정 채널의 압축된 비트스트림을 입력받아 비디오 비트스트림을 파싱하여 출력하는 트랜스포트 디코더가 복수개 구비되고, 상기 복수개의 트랜스포트 디코더를 통해 복수 채널의 HD급 비디오 비트스트림을 입력받아 픽처 단위로 한 디스플레이 프레임 주기내에 복수개의 비디오 프레임을 디코딩하는 비디오 디코더와, 상기 비디오 디코더에서의 움직임 보상 및 듀얼 비디오 디스플레이를 위해 상기 비디오 디코딩된 프레임들을 저장하는 외부 메모리와, 상기 비디오 디코더에서 디코딩된 복수 채널의 비디오 프레임 데이터를 상기 외부 메모리로부터 읽어 와 디스플레이 포맷에 맞게 변환한 후 디스플레이 장치의 화면 상에 복수 채널의 비디오 프레임을 동시에 디스플레이시키는 비디오 디스플레이 처리부(VDP)와, 상기 비디오 디코더에서 한 디스플레이 프레임 주기내에 복수개의 HD급 비디오 프레임을 디코딩한 후 디스플레이하도록 상기 비디오 디코더와 외부 메모리 그리고 VDP와의 인터페이싱을 수행하는 메모리 인터페이스를 포함하여 구성되는 것을 특징으로 한다.
- <32> 상기 비디오 디코더는 상기 복수개의 트랜스포트 디코더를 통해 출력되는 복수 채널의 비디오 비트스트림을 픽처 단위로 일시 저장한 후 출력하는 비디오 버퍼와, 상기 비디오 버퍼를 통해 출력되는 복수 채널의 비디오 비트스트림을 픽처 단위로 가변길이 디코딩하여 움직임



벡터, 양자화 값, DCT 계수로 분리한 후 출력하는 가변 길이 디코딩(VLD)부와, 상기 복수 채널 중 한 채널의 DCT 계수를 해당 양자화 값에 따라 역양자화(IQ)하는 제 1 IQ부와, 상기 복수 채널 중 다른 채널의 DCT 계수를 해당 양자화 값에 따라 역양자화하는 제 2 IQ부와, 상기 제 1, 제 2 IQ부에서 역 양자화된 DCT 계수를 입력받고 상기 역 양자화된 DCT 계수가 포함되는 매크로 블록 내 다수개의 서브 블록을 복수개의 그룹으로 나누어 파이프라인된 이산 역현 변환(IDCT)을 수행하는 복수개의 IDCT부와, 상기 VLD부에서 출력되는 움직임 벡터와 외부 메모리에 저장된 이전 프레임을 이용하여 픽처 단위로 현재의 픽셀값에 대한 움직임 보상을 수행하는 움직임 보상부와, 상기 복수개의 IDCT부에서 출력되는 IDCT된 값과 상기 움직임 보상부에서 움직임 보상된 값을 더하는 가산기와, 한 디스플레이 프레임 주기내에 두개의 다른 비디오 프레임이 디코딩되도록 상기 비디오 버퍼, VLD부, 가산기, 및 움직임 보상부를 픽처 단위로 제어하는 픽처 제어부를 포함하여 구성되는 것을 특징으로 한다.

- <33> 상기 메모리 인터페이스부에는 픽처 및 디스플레이 유형에 따라 상기 가산기의 출력에 대해 수평, 수직 방향으로 감축을 수행한 후 외부 메모리에 저장하는 다운 샘플링부와, 움직임 보상시 상기 메모리에서 읽은 데이터를 수평 방향으로 업 샘플링하여 움직임 보상부로 출력하는 업 샘플링부가 포함되는 것을 특징으로 한다.
- <34> 상기 다운 샘플링부는 상기 가산기에서 출력되는 데이터의 디스플레이 유형에 따라 각 픽처를 수평 방향으로 1/2 해상도 감축을 수행하거나, 수평, 수직 방향으로 각각 1/2씩 해상도 감축을 수행하는 것을 특징으로 한다.
- <35> 상기 다운 샘플링부는 디스플레이 유형이 DTV 메인 디스플레이와 DTV 서브 디스플레이의 PIP 형태인 경우, 상기 DTV 메인 픽처는 감축을 수행하지 않고, DTV 서브 픽처는 수평 방향으로 1/2, 수직 방향으로 1/2 해상도 감축을 수행하는 것을 특징으로 한다.

- <36>       상기 다운 샘플링부는 디스플레이 유형이 DTV 메인 디스플레이와 DTV 서브 디스플레이의 스플릿-스크린 형태인 경우, 상기 DTV 메인 픽처와 DTV 서브 픽처는 각각 수평 방향으로만 1/2 해상도 감축을 수행하는 것을 특징으로 한다.
- <37>       본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.
- <38>       이하, 첨부된 도면을 참조하여 본 발명의 실시예의 구성과 그 작용을 설명하며, 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.
- <39>       도 3은 본 발명에 따른 비디오 디코딩 시스템의 구성 블록도로서, 2개의 HD급 비디오 신호를 디코딩하는 예를 보이고 있다.
- <40>       도 3의 비디오 디코딩 시스템은 2개의 HD급 비디오 신호를 동시에 디코딩하기 위한 2개의 TP 디코더(101a, 101b)와 하나의 비디오 디코더(300)를 포함한다.
- <41>       상기 비디오 디코더(300)는 제 1 버퍼(301), VLD부(302), 2개의 IQ부(303, 304), 제 2 버퍼(305), 2개의 IDCT부(306, 307), 가산기(308), 움직임 보상부(309), 및 픽처 제어부(picture controller)(310)로 구성된다.
- <42>       본 발명은 비디오 버퍼인 제 1 버퍼(301)를 효율적으로 공유함으로써, 버퍼 사이즈 감소 뿐만 아니라, VLD부(302)와 픽처 제어부(310), 그리고 MC부(309)와 메모리 인터페이스부(500)를 하나로 병합함으로써 많은 게이트 사이즈의 감소를 얻을 수 있다. 또한 비디오 디코더(300)의 성능에 중요한 고속의 IDCT 데이터 처리를 위하여 IDCT부와 IQ부는 각각 2개씩 구성한다.

- <43> 또한, 좋은 화질을 유지하면서 메모리 용량을 줄이기 위해 픽처나 디스플레이의 유형에 따라 수평, 수직 방향으로의 감축을 다르게 한 후 디스플레이를 위해 VDP(700)로 출력함과 동시에 움직임 보상을 위해 외부 메모리(600)로 출력하는 다운 샘플링부(501)와, 상기 메모리(600)에 저장된 데이터를 읽어 와 업 샘플링을 수행하여 움직임 보상부(309)로 출력하는 업 샘플링부(502)가 메모리 인터페이스(500)에 구성된다.
- <44> 이와 같이 구성된 본 발명에서 2개의 TP 디코더(101a,101b)는 동일한 구성 및 작용을 하며, 그 중 하나에 대해서 설명하면 TP 디코더는 입력되는 MPEG-2 압축 비트 스트림에 다중화된 비디오와 오디오 그리고, 부가 데이터를 역다중화하여 분리한 후 분리된 비디오 비트스트림은 비디오 디코더(300)의 제 1 버퍼(301)로 출력한다. 즉, 상기 제 1, 제 2 TP 디코더(101a,101b)를 통해 2개의 HD급 비디오 비트스트림이 출력된다.
- <45> 상기 제 1 버퍼(301)는 비디오 버퍼로서, 가변 레이트로 코딩된 비디오 비트 스트림을 고정 레이트로 디코딩하기 위해 상기 제 1, 제 2 TP 디코더(101a,101b)에서 출력되는 비디오 비트스트림을 픽처 단위로 일시 저장한 후 상기 비디오 디코더(300)의 VLD부(302)로 출력한다.
- <46> 예를 들어, 상기 제 1, 제 2 TP 디코더(101a,101b)를 통해 2개의 HD급 비디오 신호가 출력된다고 가정하고, 이때 제 1 TP 디코더(101a)에서 출력되는 신호를 제 1 채널 신호, 제 2 TP 디코더(101b)에서 출력되는 신호를 제 2 채널 신호라고 하자.
- <47> 그러면, 상기 제 1 버퍼(301)는 제 1 채널 신호를 픽처 단위로 상기 VLD부(302)로 출력한 후 제 2 채널 신호를 픽처 단위로 상기 VLD부(302)로 출력한다.

- <48> 즉, 상기 픽처 제어부(310)는 한 디스플레이 프레임 주기내에 두개의 다른 비디오 프레임을 디코딩하도록 상기 제 1 버퍼(301), VLD부(302), 제 2 버퍼(305), 가산기(308), 및 움직임 보상부(309)를 픽처 단위로 제어한다.
- <49> 상기 VLD부(302)는 상기 제 1 버퍼(301)에서 고정 레이트로 출력되는 비디오 비트스트림을 가변길이 디코딩하여 움직임 벡터, 양자화 값, DCT(Discrete Cosine Transform) 계수로 분리한 후 움직임 벡터(MV)는 움직임 보상부(309)로 출력하고, 양자화 값 및 DCT 계수는 제 1, 제 2 IQ부(303,304)로 출력한다. 즉, 상기 VLD부(302)도 제 1 채널 신호에 대해 픽처 단위로 VLD를 수행하여 제 1 IQ부(303)로 출력하고 이어 제 2 채널 신호에 대해 픽처 단위로 VLD를 수행하여 제 2 IQ부(304)로 출력한다.
- <50> 상기 제 1 IQ부(303)는 상기 제 1 채널 신호의 DCT 계수를, 제 2 IQ부(304)는 제 2 채널 신호의 DCT 계수를 각각의 양자화 값에 따라 역 양자화하여 제 2 버퍼(305)로 출력한다.
- <51> 이때, 상기 제 2 버퍼(305)의 출력단에 연결된 IDCT부(306,307)는 블록 단위로 IDCT를 수행하므로, 상기 제 2 버퍼(305)는 매크로 블록내 6개의 8x8 블록을 2개로 나누어 각각 제 1, 제 2 IDCT부(306,307)로 출력하고, 제 1, 제 2 IDCT부(306,307)는 MPEG-2 비디오 신택스에 맞게 8x8 블록 단위로 역 양자화된 DCT 계수를 IDCT하여 가산기(308)로 출력한다.
- <52> 통상 2개의 HD급 비디오의 경우 한 프레임 주기내 수행하는 8x8 IDCT의 수행 빈도는  $2 \times 8160 \times 6 = 97920$ 이다. 또한 한 프레임내 처리해야 할 데이터량은 75.2Mbits(=97920 x 64 x 12bits)가 필요하다. 결국 IDCT의 경우 가장 최악(worst case)일때에 225.6Mbit/s의 처리능력을 요구한다. 실제적으로는 VLD의 데이터 처리 시간 및 IQ 처리 등의 오버헤드(overhead)가 더 요구되므로 이를 효율적으로 줄이기 위해서 도 4에서 보듯이 제 1, 제 2 IDCT부(306,307)는 매크로 블록내 6개의 8x8 블록을 2개로 나누어 파이프라인(pipeline)된 IDCT를 처리한다. 이를

위해 2개의 IDCT 모듈(306,307)로 잡(job) 분배를 통해 매크로 블록내 IDCT 처리 시간을 거의 반으로 줄일 수 있다.

<53> 또한, 상기 외부 메모리(600)로 135MHz 이상의 64비트 데이터 폭을 가지는 DDR(double data rate) SDRAM을 사용하면, 실제적으로 칩 내부의 메모리 데이터 버스는 128비트의 135MHz로 한 개의 MC부(309)와 메모리 인터페이스부(500)를 통해서 2개의 HD급 비디오를 처리할 수 있다. 참고로 64비트의 SDRAM의 경우는 145MHz이상의 전체 대역폭이 필요하다.

<54> 즉, 움직임 보상부(309)는 상기 픽처 제어부(310)의 제어에 의해 픽처 단위로 움직임 벡터와 외부 메모리(600)에 저장된 이전 프레임을 이용하여 현재의 픽셀값에 대한 움직임 보상을 수행한 후 가산기(308)로 출력한다. 상기 가산기(308)는 제 1, 제 2 IDCT부(306,307)에서 IDCT된 값과 움직임 보상된 값을 더하여 최종 픽셀값인 완전한 영상으로 복원한 후 메모리 인터페이스(Memory Interface)(500)를 통해 외부 메모리(600)에 저장한다. 저장된 영상은 VDP(700)에서 디스플레이 포맷에 맞게 변환된 후 디스플레이 장치의 화면에 보여지게 된다.

<55> 한편, 메모리 용량 및 밴드폭을 줄이기 위해 도 3과 같이 메모리 인터페이스(500)에 메모리 압축을 위한 다운 샘플링부(501)와 업 샘플링부(502)를 구성하고 있다면, 상기 다운 샘플링부(501)는 픽처의 유형에 따라 상기 가산기(308)의 출력에 대해 수평, 수직 방향으로의 감축을 다르게 하여 외부 메모리(600)에 저장하고, 움직임 보상시 상기 메모리(600)에서 읽은 데이터는 업 샘플링부(502)에서 수평 방향으로 업 샘플링된 후 움직임 보상부(309)로 출력된다.

<56> 예를 들어, 상기 다운 샘플링부(501)는 상기 가산기(308)에서 출력되는 데이터를 디스플레이 유형에 따라 각 픽처를 수평 방향으로 1/2 해상도 감축을 수행하거나, 또는 수평, 수직 방향으로 각각 1/2씩 해상도 감축을 수행한다. 또한, 움직임 보상은 I나 P 픽처를 참조 프레임으로 이용하므로 상기 업 샘플링부(502)는 상기 외부 메모리(600)로부터 읽어 온 데이터에 대

해 수평 방향으로 2배 업 샘플링을 수행하거나 또는 수평, 수직 방향으로 각각 2배 업 샘플링을 수행하여 움직임 보상부(309)로 출력한다.

<57> 한편, 도 5는 프레임 디코딩시 한 개의 비디오 디스플레이를 위한 비디오 디코더(300)와 VDP(700)와의 인터페이스 타이밍도이다.

<58> 도 5에서 (a)의 비디오 디코더(300)의 decode\_sync는 한 프레임 디코딩에 필요한 주기를 나타내며, (d)의 VDP(700)의 display field sync(disp\_field) 신호와 일치함을 볼 수 있다. 즉 비디오 프레임이 decode\_sync에 맞추어 한 필드 전에 비디오 디코딩되고, 디스플레이 필드 신호(disp\_field)에 맞추어 디스플레이됨을 알 수 있다. (b)의 decode\_frame(2:0)은 현재 디코딩되어서 메모리(600)에 쓰여지는 비디오 프레임을 나타내며, (c)의 decode\_vid(2:0)은 멀티 디코딩시 디코딩되는 비디오들을 구별하기 위한 신호로 비디오 ID를 나타낸다.

<59> 그리고, VDP(700)의 disp\_start 신호(e)와 disp\_end 신호(f)는 해당 프레임의 디스플레이 시작과 끝을 비디오 디코더(300)에 알려준다. 상기 VDP(700)는 (g)의 disp\_vid(2:0)와 (h)의 disp\_frame(2:0)을 상기 비디오 디코더(300)의 픽처 제어부(310)로부터 받아서 해당 프레임 메모리(600) 영역내의 비디오 데이터를 읽어 와 디스플레이 장치의 화면에 디스플레이하여 준다.

<60> 도 6은 프레임 디코딩시 즉, 두개의 비디오 시퀀스가 프레임 픽처로 인코딩되어 있는 경우의 듀얼 비디오 디스플레이를 위한 비디오 디코더(300)와 VDP(700)와의 인터페이스 타이밍도이다. 도 6을 보면, 하나의 비디오 디코더(300)가 2개의 비디오 픽처를 한 프레임 주기에 어떻게 디스플레이 하는 지를 보여 주고 있다.



- <61> 우선 (a)의 decode\_sync가 VDP(700)의 (d)의 disp\_field 주기의 반임을 알 수 있다. 상기된 도 5와 비교하여 보면, 비디오 디코더(300)는 (a)의 decode\_sync 한 주기에 한 개의 비디오 프레임을 디코딩하게 되는데, 이는 (d)의 disp\_field의 한 주기(한 프레임 주기)동안 2개의 프레임이 디코딩되는 것과 같다. 즉, 한 프레임 주기 동안에 2개의 영상을 디스플레이할 수 있게 된다. 또한, (c)의 decode\_vid(2:0)가 0과 1로 변함을 볼 수 있다. 예를 들어, decode\_vid(2:0)가 0일때는 제 1 채널의 비디오 프레임이, decode\_vid(2:0)가 1일때는 제 2 채널의 비디오 프레임이 디코딩되고, 디스플레이됨을 나타낸다.
- <62> 상기 비디오 디코더(300)의 픽처 제어부(310)는 VDP(700)의 disp\_start와 disp\_end 신호에 따라 (g)의 disp\_vid와 (h)의 disp\_frame 정보를 도 6과 같이 VDP(700)에 전송하므로, 두개의 화면을 한 프레임 주기에 디스플레이 하게 된다. 이때 두 비디오의 톱(top)과 바텀(bottom) 필드를 맞추어 주어야 한다.
- <63> 도 7은 필드 디코딩시 즉, 입력되는 데이터가 필드 픽처로 인코딩되어 있는 경우의 듀얼 비디오 디스플레이를 위한 비디오 디코더(300)와 VDP(700)와의 인터페이스 타이밍도이다. 도 7에서도 (a)의 decode\_sync의 주기가 (d)의 disp\_field 주기의 반임을 알 수 있다.
- <64> 그리고, decode\_sync의 반 주기에 한 개 비디오 ID를 디코딩하여 VDP(700)에 정보를 제공하게 된다. 예를 들어, dcode\_sync의 반 주기동안 제 1 채널의 톱 필드가 디코딩되면 나머지 반 주기 동안에는 제 2 채널의 톱 필드가 디코딩되고, 그 다음 decode\_sync의 반 주기 동안에 다시 상기 제 1 채널의 바텀 필드가 디코딩되고, 나머지 반 주기 동안에 상기 제 2 채널의 바텀 필드가 디코딩된다. 결국, decode\_sync의 두 주기동안 제 1, 제 2 채널의 톱, 바텀 필드가 모두 디코딩되며, 이는 disp\_sync의 한 주기에 해당된다.

- <65> 즉, (e)의 disp\_start 신호와 (f)의 disp\_end 신호에 맞게 한 개의 필드 픽처가 디코딩 되고 디스플레이 됨을 알 수 있다.
- <66> 한편, 메모리 용량으로 보면, HD급 한 프레임의 경우, 약 25.6Mbits의 용량이 필요하다. MPEG-2 비디오 디코딩의 경우 3프레임의 메모리가 필요하며, 이는 약 76.8 Mbits의 용량이 필요하다. 결국 2개의 HD급 비디오를 위해서는 약 154 Mbits의 메모리 용량이 필요하다. 또한 TP 비트스트림 메모리 영역, OSD 및 비디오 디스플레이 프로세싱 메모리 영역등을 생각하면, 64Mbits 메모리가 3개 이상이 필요하게 된다.
- <67> 도 8은 두 개의 HD급 비디오 디스플레이시 디스플레이 모드에 따른 비디오 압축 방식을 나타낸다. 즉, 디스플레이 형태에 따라 메모리 용량이 증가하므로, 메모리 증가에 따른 코스트 증가를 줄이고 더 효율적인 메모리 밴드폭을 위해 상기 픽처 제어부(310)는 상기 메모리 인터페이스(500)의 다운 샘플링부(501)와 업 샘플링부(502)를 제어하여 디코딩된 데이터에 대해 적응적으로 압축을 수행한다.
- <68> 즉, 도 8a에서와 같이 DTV 메인 디스플레이와 DTV 서브 디스플레이의 PIP 형태인 경우, 메모리 용량 및 밴드폭을 줄이기 위해 다운 샘플링부(501)를 통해 서브 픽처의 경우 수평 방향으로 1/2, 수직 방향으로 1/2의 해상도를 줄이는 1/4 압축을 수행한 후 메모리(600)에 저장한 후 디스플레이함으로써, 메모리 용량을 줄일 수 있다. 이때, DTV 메인 픽처는 압축을 하지 않는다. 즉, 비 압축 모드로 동작시킨다.
- <69> 도 8b는 DTV 메인 디스플레이와 DTV 서브 디스플레이의 스플릿-스크린(split-screen) 형태인 경우, 즉 스플릿-스크린 형태로 전체 화면을 두개로 나뉘어 비디오를 디스플레이 하는 경우이다. 이때는 메모리 용량 및 밴드폭을 줄이기 위해 다운 샘플링부(501)를 통해 두 개의 비디오 프레임을 수평방향으로 각각 1/2 압축하여서 메모리(600)에 저장한 후 디스플레이함으로

써, 메모리 용량 및 밴드폭을 줄인다. 즉, DTV 메인도 1/2 압축모드로 동작시키고, DTV 서브도 1/2 압축모드로 동작시킨다. 예를 들어, 도 7의 필드 디코딩에 의한 두 개의 비디오 프레임 디스플레이시 필요한 메모리 용량은 128Mbit이다.

<70>       이상에서 설명한 바와 같이 메모리 인터페이스(500)는 2개의 비디오 디코딩을 여러 가지 디스플레이 방식에 따라 각 프레임 메모리 크기를 줄이면서 전체 메모리 밴드폭을 줄이도록 메모리(600)를 제어한다.

<71>       이와 같이 본 발명은 디지털 TV나 비디오 화상 회의 등의 응용 분야에 필수적인 원천 기술로서, 멀티 디코딩이나 한 화면에 여러 개의 비디오를 수신 및 화면 처리할 수 있는 고 성능 비디오 디코더 및 타 회사의 디지털 TV와의 기술 경쟁력 강화 등의 큰 효과를 얻을 수 있다.

#### 【발명의 효과】

<72>       이상에서와 같이 본 발명에 따른 비디오 디코딩 시스템에 의하면, 2개 이상의 HD급 MPEG 시퀀스를 하나의 비디오 디코더를 이용하여 동시에 디코딩한 후 PIP 형태나 스플릿-스크린(split-screen) 형태로 디스플레이할 수 있다. 이때, 비디오 버퍼를 공유하여 버퍼 사이즈를 감소시키고, VLD부와 픽처 제어부, 그리고 MC부와 메모리 인터페이스부를 하나로 병합함으로써 많은 게이트 사이즈의 감소를 얻을 수 있으며, 이로 인해 코스트도 다운시킬 수 있다. 즉, 본 발명의 비디오 디코딩 방식은 기존 두개의 비디오 디코더를 쓰는 방식에 비해 메모리 용량의 감소, 칩 사이즈 감소에 따른 코스트 다운 효과를 얻을 수 있게 된다.

<73>       또한, 본 발명은 디스플레이 형태가 PIP인 경우 다운 샘플링부를 통해 DTV main은 비압축모드로 동작시키고, DTV sub는 1/4 압축모드로 동작시킴으로써, 메모리 용량 및 밴드폭을 줄일 수 있다.



- <74> 또한, 본 발명은 디스플레이 형태가 스플릿-스크린인 경우 다운 샘플링부를 통해 DTV main와 DTV sub를 각각 1/2 압축모드로 동작시킴으로써, 마찬가지로 메모리 용량 및 밴드폭을 줄일 수 있다.
- <75> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <76> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

**【특허청구범위】****【청구항 1】**

특정 채널의 압축된 비트스트림을 입력받아 비디오 비트스트림을 파싱하여 출력하는 트랜스포트 디코더가 복수개 구비되고,

상기 복수개의 트랜스포트 디코더를 통해 복수 채널의 HD급 비디오 비트스트림을 입력받아 픽처 단위로 한 디스플레이 프레임 주기내에 복수개의 비디오 프레임을 디코딩하는 비디오 디코더;

상기 비디오 디코더에서의 움직임 보상 및 듀얼 비디오 디스플레이를 위해 상기 비디오 디코딩된 프레임들을 저장하는 외부 메모리;

상기 비디오 디코더에서 디코딩된 복수 채널의 비디오 프레임 데이터를 상기 외부 메모리로부터 읽어 와 디스플레이 포맷에 맞게 변환한 후 디스플레이 장치의 화면 상에 복수 채널의 비디오 프레임을 동시에 디스플레이시키는 비디오 디스플레이 처리부(VDP); 그리고

상기 비디오 디코더에서 한 디스플레이 프레임 주기내에 복수개의 HD급 비디오 프레임을 디코딩한 후 디스플레이하도록 상기 비디오 디코더와 외부 메모리 그리고 VDP와의 인터페이스를 수행하는 메모리 인터페이스를 포함하여 구성되는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 2】**

제 1 항에 있어서, 상기 비디오 디코더는

상기 복수개의 트랜스포트 디코더를 통해 출력되는 복수 채널의 비디오 비트스트림을 픽처 단위로 일시 저장한 후 출력하는 비디오 버퍼;

상기 비디오 버퍼를 통해 출력되는 복수 채널의 비디오 비트스트림을 픽처 단위로 가변 길이 디코딩하여 움직임 벡터, 양자화 값, DCT 계수로 분리한 후 출력하는 가변 길이 디코딩부;

상기 복수 채널 중 한 채널의 DCT 계수를 해당 양자화 값에 따라 역양자화(IQ)하는 제 1 IQ부;

상기 복수 채널 중 다른 채널의 DCT 계수를 해당 양자화 값에 따라 역양자화하는 제 2 IQ부;

상기 제 1, 제 2 IQ부에서 역 양자화된 DCT 계수를 입력받고 상기 역 양자화된 DCT 계수가 포함되는 매크로 블록 내 다수개의 서브 블록을 복수개의 그룹으로 나누어 파이프라인된 이산 역현 변환(IDCT)을 수행하는 복수개의 IDCT부;

상기 VLD부에서 출력되는 움직임 벡터와 외부 메모리에 저장된 이전 프레임을 이용하여 픽처 단위로 현재의 픽셀값에 대한 움직임 보상을 수행하는 움직임 보상부;

상기 복수개의 IDCT부에서 출력되는 IDCT된 값과 상기 움직임 보상부에서 움직임 보상된 값을 더하는 가산기; 그리고

한 디스플레이 프레임 주기내에 두개의 다른 비디오 프레임이 디코딩되도록 상기 비디오 버퍼, VLD부, 가산기, 및 움직임 보상부를 픽처 단위로 제어하는 픽처 제어부를 포함하여 구성되는 것을 특징으로 하는 비디오 디코딩 시스템.

### 【청구항 3】

제 2 항에 있어서, 상기 메모리 인터페이스부에는

픽처 및 디스플레이 유형에 따라 상기 가산기의 출력에 대해 수평, 수직 방향으로 감축을 수행한 후 외부 메모리에 저장하는 다운 샘플링부와,

움직임 보상시 상기 메모리에서 읽은 데이터를 수평 방향으로 업 샘플링하여 움직임 보상부로 출력하는 업 샘플링부가 포함되는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 4】**

제 3 항에 있어서, 상기 다운 샘플링부는

상기 가산기에서 출력되는 데이터의 디스플레이 유형에 따라 각 픽처를 수평 방향으로 1/2 해상도 감축을 수행하거나, 수평, 수직 방향으로 각각 1/2씩 해상도 감축을 수행하는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 5】**

제 3 항에 있어서, 상기 다운 샘플링부는

디스플레이 유형이 DTV 메인 디스플레이와 DTV 서브 디스플레이의 PIP 형태인 경우, 상기 DTV 메인 픽처는 감축을 수행하지 않고, DTV 서브 픽처는 수평 방향으로 1/2, 수직 방향으로 1/2 해상도 감축을 수행하는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 6】**

제 3 항에 있어서, 상기 다운 샘플링부는

디스플레이 유형이 DTV 메인 디스플레이와 DTV 서브 디스플레이의 스플릿-스크린 형태인 경우, 상기 DTV 메인 픽처와 DTV 서브 픽처는 각각 수평 방향으로만 1/2 해상도 감축을 수행하는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 7】**

제 1 항에 있어서, 상기 픽처 제어부는

입력되는 데이터가 프레임 픽처로 인코딩되어 있고 듀얼 비디오 디스플레이를 수행할 경우, 비디오 디코더의 한 프레임 디코딩에 필요한 주기(decode\_sync)는 VDP의 한 프레임 디스플레이에 필요한 주기(disparity\_field)의 반 주기가 되게 하여, disparity\_field의 한 주기 동안 복수개의 비디오 프레임이 디코딩되어 디스플레이되도록 제어하는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 8】**

제 1 항에 있어서, 상기 픽처 제어부는

입력되는 데이터가 필드 픽처로 인코딩되어 있고 듀얼 비디오 디스플레이를 수행할 경우, 비디오 디코더의 한 프레임 디코딩에 필요한 주기(decode\_sync)는 VDP의 한 프레임 디스플레이에 필요한 주기(disparity\_field)의 반 주기가 되게 하고, 상기 decode\_sync의 반 주기 동안에는 한 채널의 톱 필드가, 나머지 반 주기 동안에는 다른 채널의 톱 필드가 디코딩되도록 제어하고, 그 다음 decode\_sync의 반 주기 동안에는 상기 한 채널의 바텀 필드가, 나머지 반 주기 동안에는 상기 다른 채널의 바텀 필드가 디코딩되도록 제어하는 것을 특징으로 하는 비디오 디코딩 시스템.

**【청구항 9】**

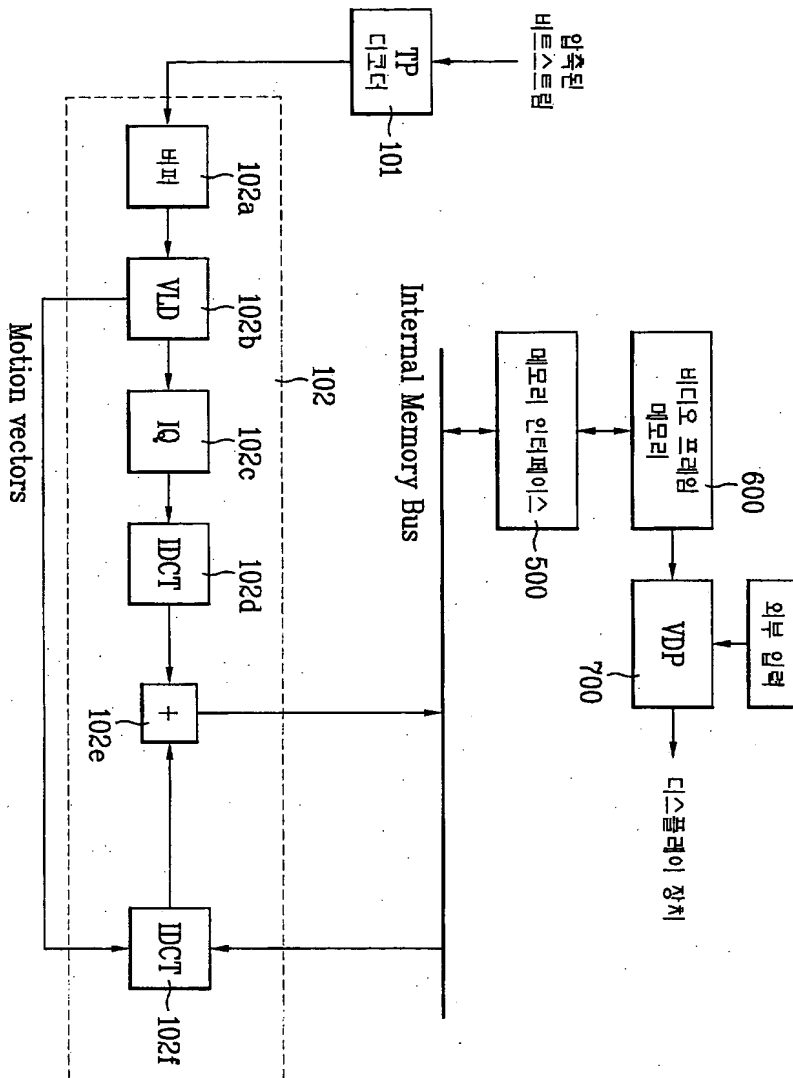
제 1 항에 있어서,

상기 외부 메모리로 135MHz 이상의 64비트 데이터 폭을 가지는 DDR(double data rate) SDRAM을 사용하는 것을 특징으로 하는 비디오 디코딩 시스템.

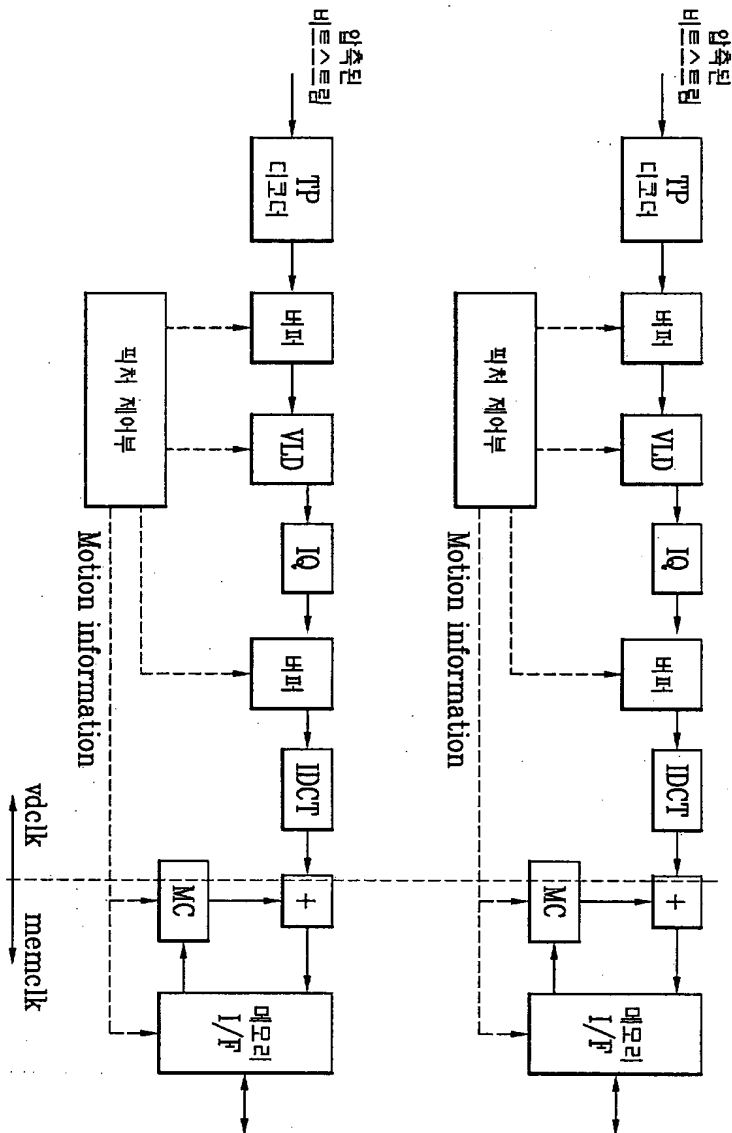


【도면】

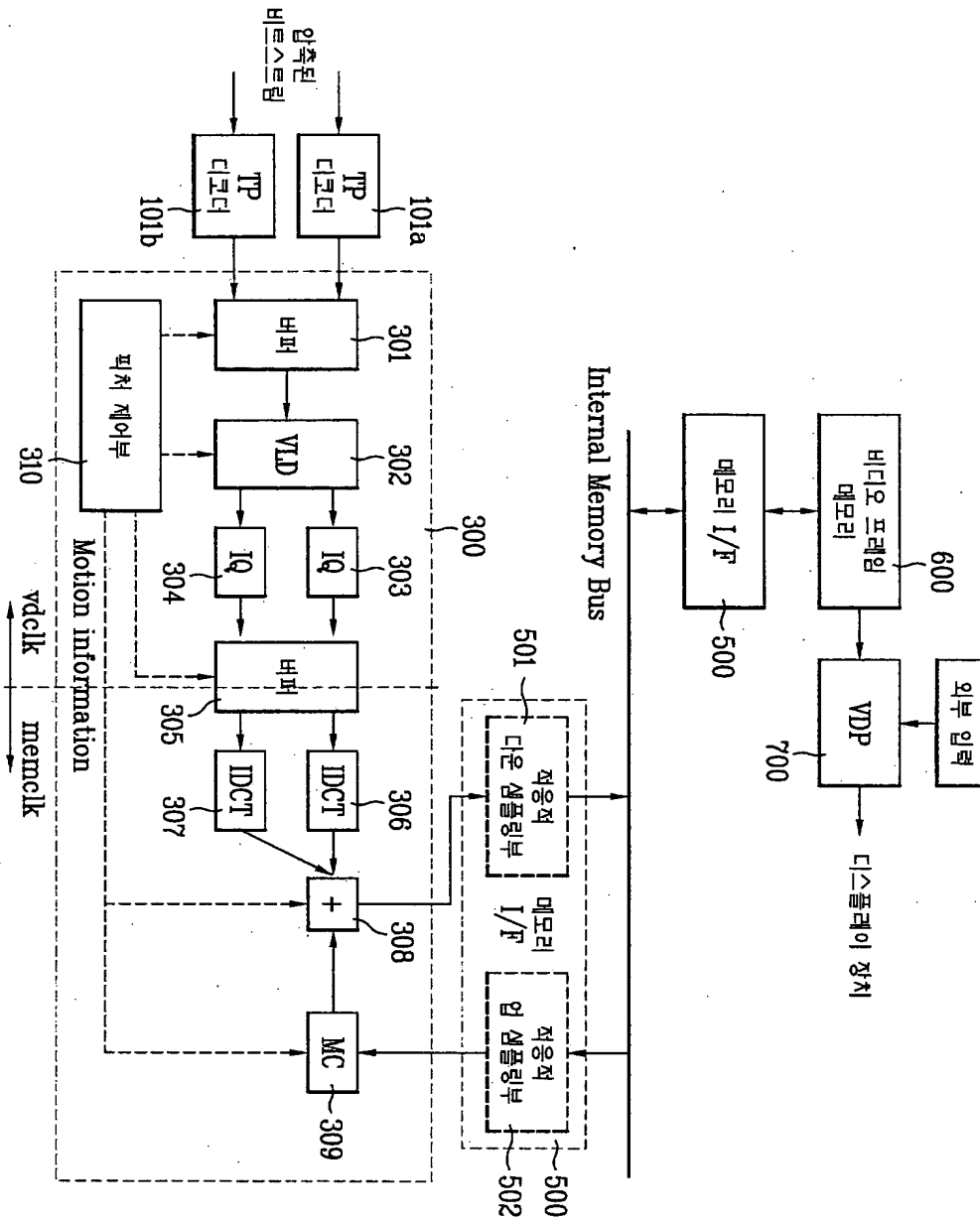
【도 1】



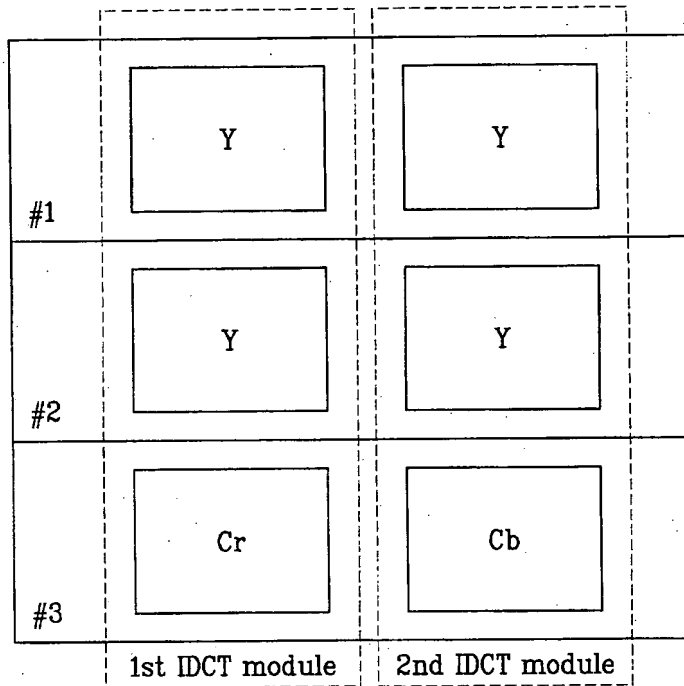
【도 2】



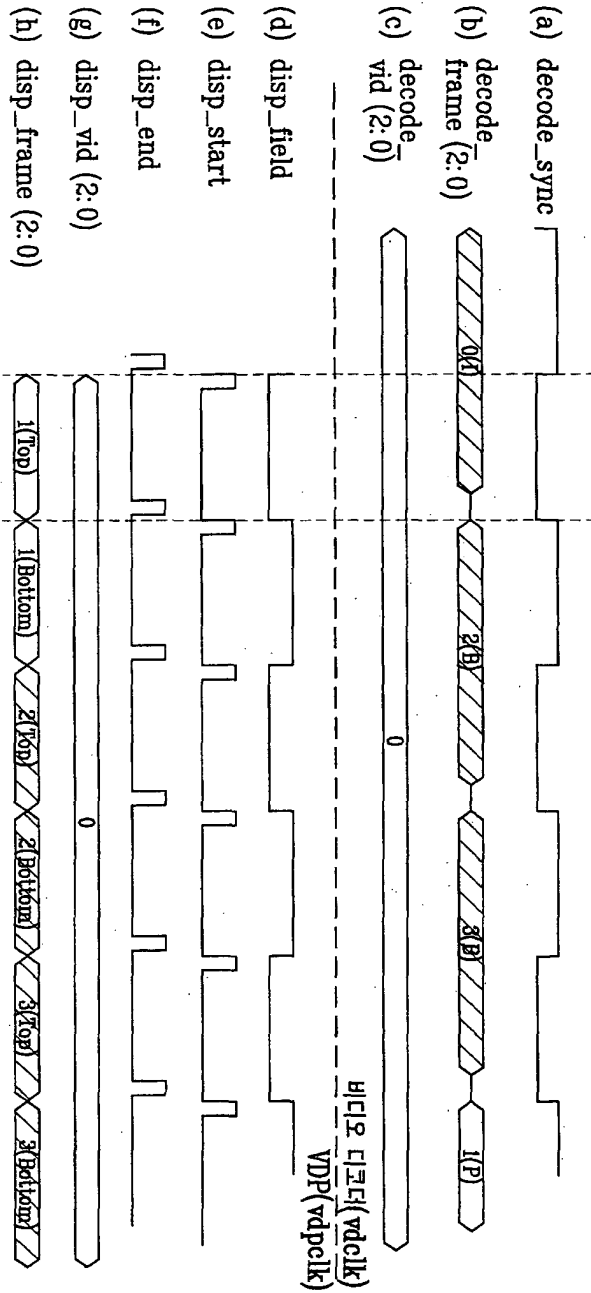
【도 3】



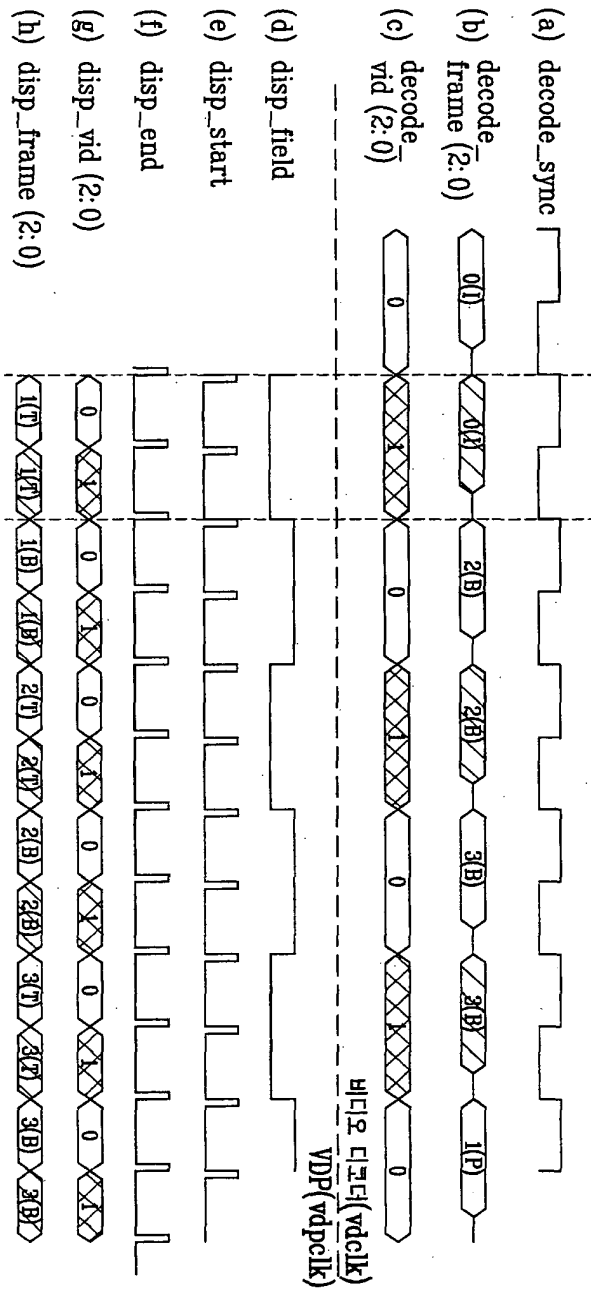
【도 4】



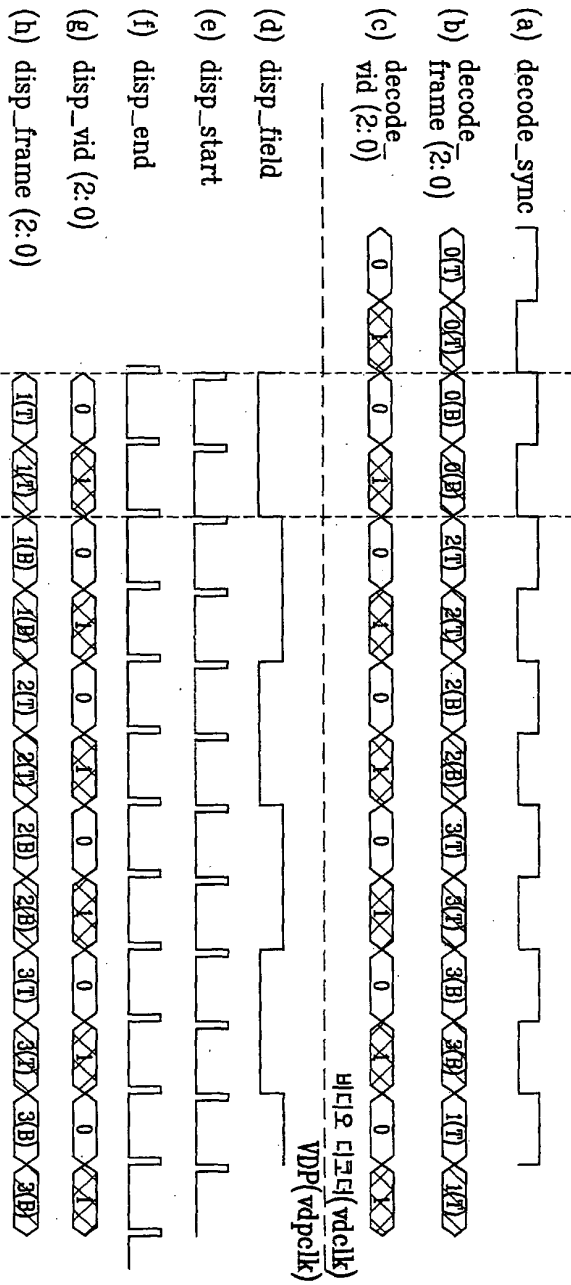
【도 5】



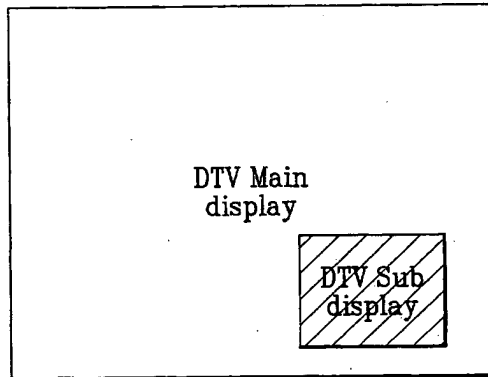
【도 6】



【도 7】

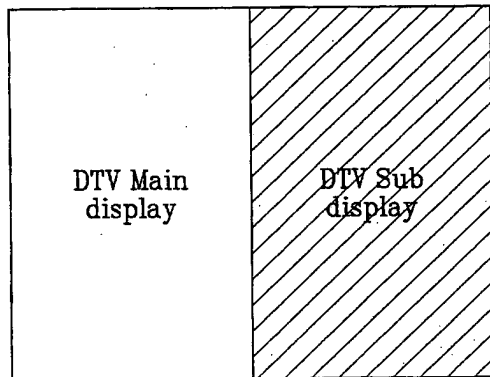


【도 8a】



DTV Main : no compression  
DTV Sub : 1/4 compression (H,V)

【도 8b】



DTV Main : 1/2 compression (H)  
DTV Sub : 1/2 compression (H)